

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-081502

(43)Date of publication of application : 28.03.1997

(51)Int.Cl. G06F 13/36

(21)Application number : 07-231615

(71)Applicant : TOSHIBA CORP  
TOSHIBA COMPUT ENG CORP

(22)Date of filing : 08.09.1995

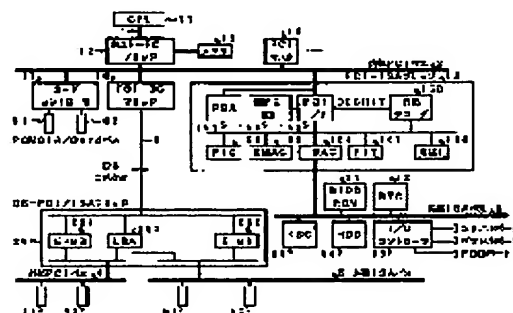
(72)Inventor : FURUTA SHINICHI

## (54) COMPUTER SYSTEM

## (57)Abstract:

PROBLEM TO BE SOLVED: To improve the reliability of a PCI system by preventing a data parity error due to the propagation delay of a transaction from being erroneously reported.

SOLUTION: A register to which information PE indicating the occurrence of a data parity error is set is provided in a DS-PCI/ISA bridge device 20 connecting an internal PCI bus 2 and an external PCI bus 3. When a parity error signal PERR# of the external PCI bus 4 is made active, the DS-PCI/ISA bridge device 20 sets parity error information PE to the register and makes a system error signal line SERR# on a docking bus active and reports the occurrence of a system error to a device on the side of the internal PCI bus 2. The device on the side of the internal PCI bus 2 checks the register to detect that a data parity error occurs on the side of the external PCI bus 4.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-81502

(43)公開日 平成9年(1997)3月28日

(51)Int.Cl.<sup>6</sup>

G 0 6 F 13/36

識別記号

3 1 0

庁内整理番号

F I

G 0 6 F 13/36

技術表示箇所

3 1 0 E

審査請求 未請求 請求項の数4 O L (全 10 頁)

(21)出願番号 特願平7-231615

(22)出願日 平成7年(1995)9月8日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71)出願人 000221052

東芝コンピュータエンジニアリング株式会  
社

東京都青梅市新町1381番地1

(72)発明者 古田 眞一

東京都青梅市新町1381番地1 東芝コンピ  
ュータエンジニアリング株式会社内

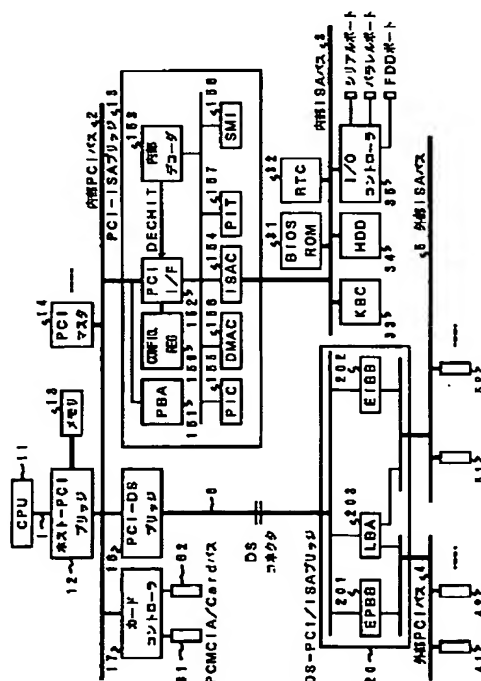
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 コンピュータシステム

(57)【要約】

【課題】 トランザクションの伝搬遅延に起因するデータ  
パリティエラーの報告ミスを防止できるようにし、PC  
Iシステムの信頼性の向上を図る。

【解決手段】 内部PCIバス2と外部PCIバス3を繋  
ぐDS-PCI/ISAブリッジ装置20内には、デー  
タパリティエラーの発生を示す情報PEがセットされ  
るレジスタが設けられている。DS-PCI/ISAブ  
リッジ装置20は、外部PCIバス4のパリティエラ  
ー信号PERR#がアクティブになると、レジスタにパ  
リティエラー情報PEをセットすると共に、ドッキ  
ングバス上のシステムエラー信号線SERR#をアクティ  
ブにしてシステムエラーの発生を内部PCIバス2側の  
デバイスに通知する。内部PCIバス2側のデバイ  
スは、レジスタを調べて、外部PCIバス4側でデータパ  
リティエラーが発生したことを検知する事ができる。



**【特許請求の範囲】**

**【請求項 1】** プロセッサに近接した側に位置するプライマリー P C I バスと、  
前記プロセッサから離れた側に位置し、前記プライマリー P C I バスと非同期または動作周波数が異なるセカンダリー P C I バスと、

前記プライマリー P C I バスと前記セカンダリー P C I バス間に接続され、前記プライマリー P C I バスと前記セカンダリー P C I バスとの間でトランザクションを相互に伝達するブリッジ装置と、

このブリッジ装置内に設けられ、データパリティエラーの発生を示す情報がセットされるレジスタと、

前記ブリッジ装置内に設けられ、前記プライマリー P C I バスおよびセカンダリー P C I の一方の P C I バス側から他方の P C I バス側へのデータ転送において前記他方の P C I バス側の P C I デバイスによってデータパリティエラーが検出されたとき、そのデータパリティエラーを検出した P C I デバイスによる前記他方の P C I バス上に定義されたパリティエラー信号線 (P E R R #) のドライブに応答して、前記レジスタに前記データパリティエラーの発生を示す情報をセットすると共に、前記一方の P C I バス上に定義されたシステムエラー信号 (S E R R #) をドライブしてシステムエラーの発生を通知する手段とを具備することを特徴とするコンピュータシステム。

**【請求項 2】** 前記システムエラーの発生通知に応答して前記ブリッジ装置のレジスタを参照し、システムエラーの発生要因がデータパリティエラーか否かを検出する手段をさらに具備する事の特徴とする請求項 1 記載のコンピュータシステム。

**【請求項 3】** コンピュータ本体と、このコンピュータ本体の拡張コネクタに取り外し自在に接続され、各種拡張デバイスが装着可能な拡張ユニットとから構成されるコンピュータシステムにおいて、

前記コンピュータ本体は、

第 1 の P C I バスと、この第 1 の P C I バスと非同期または動作周波数が異なり、拡張コネクタを介して前記拡張ユニットに導出される第 2 の P C I バスと、前記第 1 および第 2 の P C I バスがそれぞれプライマリー P C I バスおよびセカンダリー P C I バスとなるようにそれら第 1 および第 2 の P C I バス間に接続され、それら第 1 および第 2 の P C I バス間でトランザクションを相互に伝達する第 1 のブリッジ装置とを具備し、

前記拡張ユニットは、

前記第 2 の P C I バスと非同期または動作周波数が異なり、各種 P C I 拡張デバイスが接続可能な第 3 の P C I バスと、前記第 2 および第 3 の P C I バスがそれぞれプライマリー P C I バスおよびセカンダリー P C I バスとなるようにそれら第 2 および第 3 の P C I バス間に接続され、それら第 2 および第 3 の P C I バス間でトランザ

クションを相互に伝達する第 2 のブリッジ装置とを具備し、

前記第 1 および第 2 のブリッジ装置の各々は、

データパリティエラーの発生を示す情報がセットされるレジスタと、

前記プライマリー P C I バスおよびセカンダリー P C I の一方の P C I バス側から他方の P C I バス側へのデータ転送において前記他方の P C I バス側の P C I デバイスによってデータパリティエラーが検出されたとき、そのデータパリティエラーを検出した P C I デバイスによる前記他方の P C I バス上に定義されたパリティエラー信号線 (P E R R #) のドライブに応答して、前記レジスタに前記データパリティエラーの発生を示す情報をセットすると共に、前記一方の P C I バス上に定義されたシステムエラー信号 (S E R R #) をドライブしてシステムエラーの発生を通知する手段とを具備することを特徴とするコンピュータシステム。

**【請求項 4】** 前記システムエラーの発生通知に応答して前記ブリッジ装置のレジスタを参照し、システムエラーの発生要因がデータパリティエラーか否かを検出する手段をさらに具備する事の特徴とする請求項 3 記載のコンピュータシステム。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** この発明はコンピュータシステムに関し、特に 2 つの P C I バス間を繋ぐブリッジ装置を有するコンピュータシステムに関する。

**【0002】**

**【従来の技術】** 従来、パーソナルコンピュータに使用されるシステムバスとしては、I S A (I n d u s t r y S t a n d a r d A r c h i t e c t u r e) バスや E I S A (E x t e n d e d I S A) バスが主流であった。最近では、データ転送速度の高速化や、プロセッサに依存しないシステムアーキテクチャの構築のために、デスクトップ型のパーソナルコンピュータを中心に、P C I (P e r i p h e r a l C o m p o n e n t I n t e r c o n n e c t) バスが採用され始めている。

**【0003】** P C I バスにおいては、全てのデータ転送はブロック転送を基本としており、これら各ブロック転送はバースト転送を用いて実現されている。これにより、P C I バスでは、最大 133M バイト/秒 (データバスが 32 ビット幅の時) のデータ転送速度を実現できる。したがって、P C I バスを採用すると、I/O デバイス間、およびシステムメモリと I/O デバイスとの間のデータ転送などを高速に行うことが可能となり、システム性能を高めることができる。

**【0004】**

**【発明が解決しようとする課題】** しかし、複数の P C I バスを含むシステムアーキテクチャを構築する場合に

は、それらPCIバス間の同期化などのためにPCIデバイス間の信号伝送にディレーが生じ、これが原因でデータパリティエラーを正常に報告できなくなる危険があった。以下、この問題について詳述する。

【0005】複数のPCIバスを採用したパーソナルコンピュータのシステム構成の一例を図4に示す。図4に示されているように、CPU61に最も近接した第1のPCIバス62にはPCIデバイス(A, B)63, 64と、第1のブリッジ装置65とが接続されており、第1のブリッジ装置65によって第1のPCIバス62と第2のPCIバス66とが繋がれている。この場合、CPU61に近接した側に位置する第1のPCIバス62はブリッジ装置65のプライマリーPCIバスと称され、一方、CPU61から離れた側の第2のPCIバス66はブリッジ装置65のセカンダリーPCIバスと称される。

【0006】第2のPCIバス66には、PCIデバイス(P)67と第2のブリッジ装置68とが接続されており、この第2のブリッジ装置68によって第2のPCIバス66と第3のPCIバス69とが接続される。この場合、CPU61に近接した側に位置する第2のPCIバス66はブリッジ装置68のプライマリーPCIバスと称され、一方、CPU61から離れた側の第3のPCIバス69はブリッジ装置68のセカンダリーPCIバスと称される。第3のPCIバス69には、PCIデバイス(X, Y, Z)70, 71, 72が接続されている。

【0007】通常、これら3つのPCIバス62, 66, 69は互いに非同期で、動作周波数が異なっている場合もある。このようなシステムでは、第1および第2ブリッジ装置65, 68によってトランザクションの伝搬に遅延が生じる。このため、例えばPCIデバイス

(Z)72がPCIデバイス(A)63をリードアクセスするためのトランザクションを実行した場合には、もし第2のブリッジ装置68からPCIデバイス(Z)72へのデータ転送途中でデータパリティエラーが発生すると、PCIデバイス(A)63へのパリティエラー報告が遅れ、正常なデータ転送が損なわれる危険がある。PCI仕様で規定されているリードサイクルにおける通常のパリティエラー報告タイミングを図5に示す。

【0008】すなわち、バスマスタはクロックCLK2でフレーム信号FRAME#を発生してリードアクセスのためのトランザクションを開始し、まず、ターゲットを指定するアドレスをアドレス/データバスAD上に出し、次いでそのアドレス値に対応するパリティ情報をCLKサイクル3のタイミングでパリティ信号線PAR上に出し、アドレス指定されたターゲットは、アドレス/データバスAD上にデータを出力し、その1クロック後(CLK5)にデータに対応するパティ-

情報をパリティ信号線PAR上に出し、出力する。

【0009】バスマスタは、パリティ信号線PAR上のパリティ情報を利用してデータパリティエラーの発生を検出すると、パリティエラー信号PERR#をCLKイクル6のタイミングで発生して、データパリティエラーの発生をシステムに報告する。

【0010】ところが、図4の構成においては、2つのブリッジ装置65, 68によるトランザクション転送および同期化のためのディレーが原因で、データパリティエラーを報告できなくなるという問題が生じる。この様子を図6に示す。

【0011】PCIデバイス(Z)72はCLKサイクル2でフレーム信号FRAME#を発生してリードアクセスのためのトランザクションを開始し、まず、ターゲットを指定するアドレスをアドレス/データバスAD上に出し、次いでそのアドレス値に対応するパリティ情報をCLKサイクル3のタイミングでパリティ信号線PAR上に出し、このアドレスおよびパリティ情報は、ブリッジ装置68, 65を経てPCIバス62に遅れて伝えられる。

【0012】ターゲットであるPCIデバイス(A)63は、アドレス/データバスAD上にデータを出力し、その1クロック後(CLK6)にデータに対応するパリティ情報をパリティ信号線PAR上に出し、サイクルを終了する。もし、ここでデータパリティエラーが発生した場合には、CLK7でパリティエラー信号PERR#がアクティブにされることがPCI仕様では必要である。

【0013】しかし、実際にバスマスタであるPCIデバイス(Z)72がデータパリティエラーの発生を検出できるのはCLK10の時点であるので、PCIデバイス(Z)72によるパリティエラー報告は3クロック程度遅れてしまう。このため、PCIバス62側のデバイスは、パリティエラー信号PERR#がアクティブにされても、それが何のパリティエラーであるのかは分からない。従って、パリティエラーの発生はシステム側に正しく通知されず、リカバリーは実行されない。

【0014】このように、従来では、ブリッジ装置のセカンダリーバス側のバスマスタがプライマリーバス側のデバイスをリードアクセスするためのトランザクションを実行したときにデータパリティエラーが発生すると、ブリッジ装置によるトランザクションの伝搬遅延のためにデータパリティエラーの報告タイミングが遅れてしまい、データパリティエラーの発生をシステム側に通知する事ができなくなるという危険があった。また、このようなデータパリティエラーの報告タイミングの遅れの問題は、互いに非同期または動作周波数が異なる2つのPCIバス間のトランザクションにおいても発生する危険がある。

【0015】この発明はこのような点に鑑みてなされた

もので、ブリッジ装置を改良してデータパリティエラーの発生を報告できるようにし、信頼性の高いコンピュータシステムを提供することを目的とする。

#### 【0016】

【課題を解決するための手段】この発明によるコンピュータシステムは、プロセッサに近接した側に位置するプライマリーPCIバスと、前記プロセッサから離れた側に位置し、前記プライマリーPCIバスと非同期または動作周波数が異なるセカンダリーPCIバスと、前記プライマリーPCIバスと前記セカンダリーPCIバス間に接続され、前記プライマリーPCIバスと前記セカンダリーPCIバスとの間でトランザクションを相互に伝達するブリッジ装置と、このブリッジ装置内に設けられ、データパリティエラーの発生を示す情報がセットされるレジスタと、前記ブリッジ装置内に設けられ、前記プライマリーPCIバスおよびセカンダリーPCIの一方のPCIバス側から他方のPCIバス側へのデータ転送において前記他方のPCIバス側のPCIデバイスによってデータパリティエラーが検出されたとき、そのデータパリティエラーを検出したPCIデバイスによる前記他方のPCIバス上に定義されたパリティエラー信号線(PERR#)のドライブに応答して、前記レジスタに前記データパリティエラーの発生を示す情報をセットすると共に、前記一方のPCIバス上に定義されたシステムエラー信号(SERR#)をドライブしてシステムエラーの発生を通知する手段とを具備することを特徴とする。

【0017】このコンピュータシステムでは、パリティエラー信号線(PERR#)の代わりにシステムエラー信号(SERR#)が、データパリティエラーの報告に利用される。標準PCIシステムにおいては、システムエラー信号(SERR#)は、パリティエラー信号(PERR#)とは異なり、それをアクティブにすべきタイミング、つまりクロックフェーズは規定されていない。システムエラー信号(SERR#)がアクティブになると、例えばプライマリーバス側のデバイスやシステムソフトウェアは、ブリッジ装置のレジスタを調べて、セカンダリーバス側でデータパリティエラーが発生したことを検知する事ができる。したがって、ブリッジ装置によるトランザクションの伝搬遅延に起因するデータパリティエラーの報告ミスを防止できるようになり、信頼性の高いシステムを実現する事ができる。

#### 【0018】

【発明の実施の形態】以下、図面を参照してこの発明の実施の形態を説明する。図1には、この発明の一実施形態に係わるコンピュータシステムの構成が示されている。このコンピュータシステムは、ノートブックタイプまたはラップトップタイプのポータブルパーソナルコンピュータであり、そのシステムボード上には3種類のバス、つまりプロセッサバス1、内部PCIバス2、およ

び内部ISAバス3が配設されており、またこのポータブルパーソナルコンピュータ本体のDSコネクタに接続可能なドッキングステーション(拡張ユニット)内には、外部PCIバス4と外部ISAバス5が配設されている。

【0019】システムボード上には、CPU11、ホスト/PCIブリッジ装置12、システムメモリ13、各種PCIマスターデバイス14、内部PCI-ISAブリッジ装置15、PCI-DS(DS:ドッキングステーション)ブリッジ装置16、PCカードコントローラ17、拡張I/Oデコーダ18などが設けられている。また、ドッキングステーション内には、DS-PCI/ISAブリッジ装置20、PCI拡張カードを装着できるPCI拡張スロット41、42、ISA拡張カードを装着できるISA拡張スロット51、52が設けられている。

【0020】CPU11は、例えば、米インテル社によって製造販売されているマイクロプロセッサ“Pentium”などによって実現されている。このCPU11の入出力ピンに直結されているプロセッサバス1は、64ビット幅のデータバスを有している。

【0021】システムメモリ13は、オペレーティングシステム、デバイスドライバ、実行対象のアプリケーションプログラム、および処理データなどを格納するメモリデバイスであり、複数のDRAMによって構成されている。このシステムメモリ13は、32ビット幅または64ビット幅のデータバスを有する専用のメモリバスを介してホスト-PCIブリッジ装置12に接続されている。メモリバスのデータバスとしてはプロセッサバス1のデータバスを利用することもできる。この場合、メモリバスは、アドレスバスと各種メモリ制御信号線とから構成される。

【0022】ホスト/PCIブリッジ装置12は、プロセッサバス1と内部PCIバス2との間を繋ぐブリッジLSIであり、内部PCIバス2のバスマスタの1つとして機能する。このホスト/PCIブリッジ装置12は、プロセッサバス1と内部PCIバス2との間で、データおよびアドレスを含むバスサイクルを双方向で変換する機能、およびメモリバスを介してシステムメモリ13をアクセス制御する機能などを有している。このホスト/PCIブリッジ装置12内には、プロセッサバス1と内部PCIバス2のバスサイクルの同期化のためのバッファが設けられている。

【0023】内部PCIバス2はクロック同期型の入出力バスであり、内部PCIバス2上の全てのサイクルはPCIバスクロックに同期して行なわれる。PCIバスクロックの周波数は最大33MHzである。内部PCIバス2は、時分割的に使用されるアドレス/データバスを有している。このアドレス/データバスは、32ビット幅である。

【0024】PCIバス2上のデータ転送サイクルは、アドレスフェーズとそれに後続する1以上のデータフェーズとから構成される。アドレスフェーズにおいてはアドレス、および転送タイプが指定され、データフェーズでは8ビット、16ビット、24ビットまたは32ビットのデータが出力される。

【0025】また、このPCIバス2上には、アドレスまたはデータに対応するパリティ情報が出力されるパリティ信号線PARが定義されている。トランザクションを開始したイニシエータは、アドレスフェーズの1クロック後、およびライトトランザクションにおける各データフェーズの1クロック後にパリティ信号線PARをドライブする。また、現在のトランザクションによってアドレス指定されたターゲットは、リードトランザクションの各データフェーズの1クロック後にパリティ信号線PARをドライブする。

【0026】さらに、PCIバス2上にはエラー報告信号線として、パリティエラー信号線PERR#、およびシステムエラー信号線SERR#が定義されている。パリティエラー信号線PERR#は、データフェーズの1クロック後にドライブされるパリティ信号線PARによってデータパリティエラーが検出された時、それを報告するために利用される。パリティ信号線PARのドライブによるデータパリティエラーの報告タイミングは、パリティ信号線PARがドライブされるクロックフェーズの1クロック後に規定されている。

【0027】データパリティエラーは、ライトトランザクションにおいてはターゲットによって検出され、またリードトランザクションにおいてはイニシエータによって検出される。

【0028】システムエラー信号線SERR#は、システムエラーを報告するために利用されるものであり、例えば、アドレスフェーズの1クロック後にドライブされるパリティ信号線PARによってアドレスパリティエラーが検出された時は、それを報告するために利用される。システムエラー信号線SERR#は非同期信号であり、標準PCIシステムでは、システムエラーを報告すべきタイミングは規定されていない。

【0029】図1のシステムでは、トランザクションの伝搬遅延に起因するデータパリティエラーの報告ミスを防止するために、システムエラー信号線SERR#がデータパリティエラーの報告に利用される。

【0030】PCIマスターデバイス14は、ホスト/PCIブリッジ装置12と同様にPCIバス2のバスマスタの1つであり、イニシエータまたはターゲットとして動作する。このPCIマスターデバイス14として実現されるデバイスは、例えばグラフィクスコントローラなどである。

【0031】内部PCI-ISAブリッジ装置15は、内部PCIバス2と内部ISAバス3との間を繋ぐブリ

ッジLSIである。内部ISAバス3には、BIOS ROM31、リアルタイムクロック(RTC)32、キーボードコントローラ(KBC)33、HDD34、I/Oポートコントローラ35などが接続されている。

【0032】内部PCI-ISAブリッジ装置15には、PCIバスアービタ(PBA)151、PCIインタフェース(PCI I/F)152、内部デコーダ153、ISAコントローラ(ISAC)154、割り込みコントローラ(PIC)155、DMAコントローラ(DMAC)156、システムタイマ(PIT)157、SMI発生ロジック158、コンフィグレーションレジスタ群(CONFIG. REG)159などが内蔵されている。

【0033】PCIバスアービタ(PBA)151は、内部PCIバス2に結合される全てのバスマスタ間でPCIバス2の使用権の調停を行う。この調停には、バスマスタデバイス毎に1ペアずつ割り当てられる内部PCIバス2上の信号線(バスリクエスト信号REQ#線、グラント信号GNT#線)が用いられる。

【0034】バスリクエスト信号REQ#は、それに対応するデバイスが内部PCIバス2の使用を要求していることをPCIバスアービタ(PBA)151に通知するための信号である。グラント信号GNT#は、バスリクエスト信号REQ#を発行したデバイスに、バス使用を許可することを通知する信号である。

【0035】PCIバスアービタ(PBA)151には、内部PCIバス2上の全てのバスリクエスト信号REQ#線およびグラント信号GNT#線が接続されており、バス使用権の調停はそのPCIバスアービタ(PBA)151によって集中的に制御される。

【0036】PCIインタフェース152は、内部PCIバス152との間でアドレス、データ、コマンド、および各種ステータス信号の授受を行なう。ステータス信号にはデバイスセレクト信号(DEVSEL#)も含まれており、PCIインタフェース152は、内部デコーダ153からデコーダヒット信号(DECHIT#)が発生された時、DEVSEL#をアクティブにして、PCIバストランザクションに応答する。

【0037】DEVSEL#は、PCI-ISAブリッジLSI15がPCIバス2上で実行されたトランザクションのターゲットとして選択されたことを、そのトランザクションを開始したイニシエータに通知するための信号である。DECHIT#は、内部デコーダ153内蔵のデコードロジックからのヒット信号に回答して発生される。

【0038】内部デコーダ153は、PCI-ISAブリッジ15内蔵のデバイス(割り込みコントローラ155、DMAコントローラ156、システムタイマ157、SMI発生ロジック158、コンフィグレーションレジスタ群159)、および内部ISAバス3上のデバ

10

20

30

40

50

イス (BIOS ROM 31、リアルタイムクロック 32、キーボードコントローラ 33、HDD 34、I/Oポートコントローラ 35など) それぞれを選択するためのアドレスデコードを行なう。内部デコード 153によってデコードされるのは、PCIバス2上に出力されるI/Oアドレス、メモリアドレス、コンフィグレーションアドレスである。

【0039】ISAコントローラ 154は、内部ISAバス3上のメモリおよびI/OをアクセスするためのISAバスサイクルを実行する。コンフィグレーションレジスタ群 159は、コンフィグレーションサイクルでリード/ライト可能なレジスタ群であり、ここには内部デコード 153などを制御するための制御情報が例えばシステムパワーオン時にセットされる。

【0040】PCI-DSブリッジ装置 16は、内部PCIバス2と、DSコネクタを介してコンピュータ本体からドッキングステーションに導出されるドッキングバス6とを繋ぐブリッジLSIであり、バスサイクルを双方向で伝達する。ドッキングバス6はPCIバス相当の信号線群を含む一種のPCIバスである。このドッキングバス6は、内部PCIバス2と非同期であり、且つ動作周波数も内部PCIバス2と異なっている。例えば、内部PCIバス2の動作周波数、つまり内部PCIバス2のクロック周波数は30~33MHz程度であり、ドッキングバス6のクロック周波数は20~25MHz程度である。このようにドッキングバス6のクロック周波数が内部PCIバス2のそれよりも低いのは、内部PCIバス2は硬質回路基板などからなるシステムボード上に実装されるのに対し、ドッキングバス6はそのシステムボードからDSコネクタに導き出されたフレキシブルケーブル上に実装されるためである。通常、フレキシブルケーブルはシステムボードに比べ高周波ノイズに対する対策が困難であり、クロック周波数はなるべく低く抑えることが望ましい。

【0041】ドッキングバス6はPCI-DSブリッジ装置 16のセカンダリーPCIバスであり、内部PCIバス2はPCI-DSブリッジ装置 16のプライマリーPCIバスである。

【0042】このPCI-DSブリッジ装置 16内には、内部PCIバス2とドッキングバスとのバスサイクルの同期化のためのバッファなどが内蔵されている。また、PCI-DSブリッジ装置 16は、ドッキングステーションとコンピュータ本体とのホットドッキング/ホットアンドドッキング時に内部PCIバス2とドッキングバス6との間を分離するための機構としても利用されており、このPCI-DSブリッジ装置 16によって活線挿抜による不具合の発生を防止する事ができる。

【0043】PCカードコントローラ 17は、PCバスマスタの1つであり、PCMCIA/Cardバス仕様のカードスロット 61、62に装着されるPCカード

を制御する。

【0044】DS-PCI/ISAブリッジ装置 20は、DSコネクタを介してコンピュータ本体からドッキングステーションに導出されるドッキングバス6と外部PCIバス4および外部ISAバス5とを繋ぐブリッジLSIである。このDS-PCI/ISAブリッジ装置 20は、PCカードコントローラ 17などと同じくPCバスマスタの1つである。

【0045】DS-PCI/ISAブリッジ装置 20には、外部PCIバスブリッジ (EPBB; External PCI Bus Bridge) 201、外部ISAバスブリッジ (EIBB; External ISA Bus Bridge) 202、およびローカルバスアービタ (LBA; Local Bus Arbitrator) 203が設けられている。

【0046】EPBB 201は、内部PCIバス2上で発生されるメモリサイクルおよびI/OサイクルなどのトランザクションをPCI-DSブリッジ 16を経由して受け取り、それを外部PCIバス4上へ伝える。また、外部PCIバス4上の拡張スロット 41、42に装着されたPCI拡張カードにバス使用権が与えられた場合は、EPBB 201は、外部PCIバス4上のトランザクションをドッキングバス上に発生させる。外部PCIバス4は、内部PCIバス2、およびドッキングバス6と非同期であり、その動作周波数は33MHz程度である。ドッキングバス6はEPBB 201のブラリマリーPCIバスであり、また外部PCIバス4はEPBB 201のセカンダリーPCIバスである。

【0047】このEPBB 201には、図2に示されているように、内部PCIバス2と外部PCIバス4とのトランザクションインタフェースのための制御回路 201aと、コンフィグレーション空間にマッピングされたリード/ライト可能なレジスタ 201bが内蔵されており、ここには例えばPCI拡張カードによって検出されたデータパリティエラーの発生を示すパリティエラー情報PEなどがセットされる。

【0048】制御回路 201aは、PCI拡張カードが例えば内部PCIバス2上のPCIデバイスをリードアクセスするためのトランザクションを開始した場合において、PCI拡張カードによって外部PCIバス4上のパリティエラー信号線PERR#がアクティブにされた時、それに応答してレジスタ 201bにパリティエラー情報PEをセットすると共に、ドッキングバス上のシステムエラー信号線SERR#をアクティブにしてシステムエラーの発生を内部PCIバス2側のデバイスなどに通知する。

【0049】このように、EPBB 201は、パリティエラー信号線PERR#の代わりにシステムエラー信号SERR#を、データパリティエラーの報告に利用する。前述したように、標準PCIシステムにおいては、

システムエラー信号SERR#は、パリティエラー信号PERR#とは異なり、それをアクティブにすべきタイミング、つまりクロックサイクルのタイミングは規定されてない。システムエラー信号SERR#がアクティブになると、EPBB201のプライマリーPCIバス側のデバイスは、EPBB201のレジスタ201bを調べて、EPBB201のセカンダリーバス側、つまり外部PCIバス4でデータパリティエラーが発生したことを検知する事ができる。

【0050】また、制御回路201bには、内部PCIバス2と外部PCIバス4とのバスサイクルの同期化のためのバッファも内蔵されている。EIBB202は、内部PCIバス2上に発生されるメモリサイクルおよびI/OサイクルをPCI-DSブリッジ16を経由して受け取り、それをプロトコル変換して外部ISAバス5上へ伝える。また、外部ISAバス5上の拡張ISAマスタカードにバス使用権が与えられた場合は、EIBB202は、外部ISAバス5上のバストランザクションをドッキングバス6上に発生させる。

【0051】LBA203は、外部PCIバス4上のPCI拡張カードからのバス使用要求と、外部ISAバス5上のISA拡張カードからのバス使用要求とを調停する。次に、図3のタイミングチャートを参照して、EPBB201によるデータパリティエラー報告動作を説明する。

【0052】まず、外部PCIバス4上のPCI拡張カードは外部PCIバス4のCLKサイクル2でフレーム信号FRAME#を発生してリードアクセスのためのトランザクションを開始し、内部PCIバス2上のターゲットを指定するアドレスを、外部PCIバス4のアドレス/データバスAD上に出力し、次いでそのアドレス値に対応するパリティ情報を外部PCIバス4のパリティ信号線PAR上にCLKサイクル3のタイミングで出力する。

【0053】このアドレスおよびパリティ情報は、EPBB201、PCI-DSブリッジ16それぞれにおける同期化のためのディレーを経て、内部PCIバス2のCLKサイクル2、CLKサイクル4のタイミングで内部PCIバス2上に遅れて伝えられる。

【0054】ターゲットであるPCIデバイス、例えばホストPCIブリッジ12は、内部PCIバス2のCLKサイクル5のタイミングでアドレス/データバスAD上にリードデータを出力し、その1クロック後（内部PCIバス2のCLKサイクル6）でリードデータに対応するパリティ情報を内部PCIバス2のパリティ信号線PAR上に出力し、サイクルを終了する。

【0055】これらリードデータおよびパリティ情報は、PCI-DSブリッジ16、EPBB201による同期化のためのディレーを経て、外部PCIバス4のCLKサイクル9、CLKサイクル10のタイミングで外

部PCIバス4上に遅れて伝えられる。

【0056】もし、EPBB201から外部PCIバス4へのデータ転送途中でデータパリティエラーが発生した場合には、トランザクションを開始したPCI拡張カードは、外部PCIバス4のCLKサイクル11のタイミングでパリティエラー信号PERR#をアクティブにして、データパリティエラーの発生を報告する。

【0057】外部PCIバス4のパリティエラー信号PERR#がアクティブになると、EPBB201は、コンフィグレーションレジスタ201bにパリティエラー情報PEをセットすると共に、システムエラーの発生を報告するためにドッキングバス6上のシステムエラー信号線SERR#をアクティブにする。このSERR#は、PCI-DSブリッジ16を経由して内部PCIバス2側のデバイスに通知される。

【0058】システムエラー信号線SERR#をアクティブになると、例えばホストPCIブリッジ12からCPU11に割り込み信号が送られ、CPU11のソフトウェア制御の下、ホストPCIブリッジ12によってコンフィグレーションレジスタ201bの内容がリードされ、これによってデータパリティエラーの発生が検知される。

【0059】以上のように、図1のシステムにおいては、パリティエラー信号線（PERR#）の代わりにシステムエラー信号（SERR#）が、データパリティエラーの報告に利用される。システムエラー信号（SERR#）は、パリティエラー信号（PERR#）とは異なり、それをアクティブにすべきタイミング、つまりクロックフェーズは規定されてない。システムエラー信号（SERR#）がアクティブになると、内部PCIバス2側のデバイスは、EPBB201のレジスタ201bを調べて、外部PCIバス4側でデータパリティエラーが発生したことを検知する事ができる。

【0060】したがって、EPBB201、PCI-DSブリッジ16によるトランザクションの伝搬遅延に起因するデータパリティエラーの報告ミスを防止できるようになり、信頼性の高いシステムを実現する事ができる。

【0061】なお、この実施形態では、外部PCIバス4上のデバイスがバスマスタとして動作して内部PCIバス2上のデバイスをアクセスするためのトランザクションを開始する場合について説明したが、トランザクションの伝達や同期化のためのディレイは、例えば、内部PCIバス2とプロセッサバス1の間でも同様に発生するので、ホスト/PCIブリッジ12内にEPBB201と同様のデータパリティエラー報告機能を設けても良い。

【0062】また、PCI-DSブリッジ16にもEPBB201と全く同様のパリティエラー報告機能が設けられており、PCI-DSブリッジ16からEPBB



【 0 0 6 3 】

【図面の簡単な説明】

【図2】同実施形態のコンピュータシステムに設けられたDS-PC1/ISAブリッジ装置の構成を示すブロック図。

【図4】PCIバスを採用した通常のパーソナルコンピュータのシステム構成を示すブロック図。

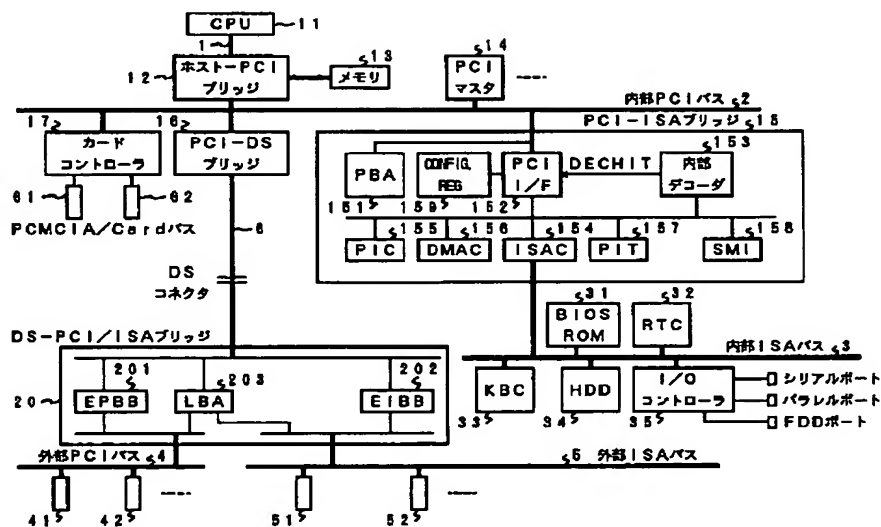
【図5】PCI仕様で規定されている通常のデータパリティエラー報告タイミングを示すタイミングチャート。

【図6】図4のシステムにおいてランザクションの伝搬遅延によってデータパリティエラーの報告が遅れる様子を示すタイミングチャート。

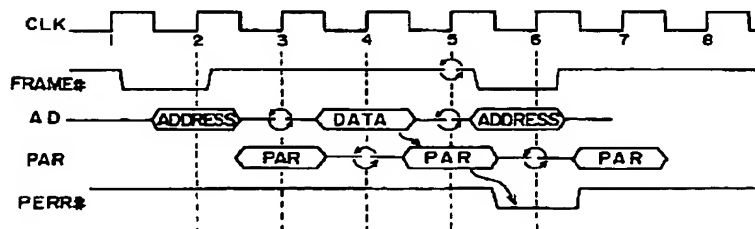
【符号の説明】

1…プロセッサバス、2…内部PCIバス、4…外部PCIバス、6…ドッキングバス、11…CPU、15…PCI-ISAブリッジ、16…PCI-DSブリッジ、20…DS-PCI/ISAブリッジ、201…外部PCIバスブリッジ（EPBB）。

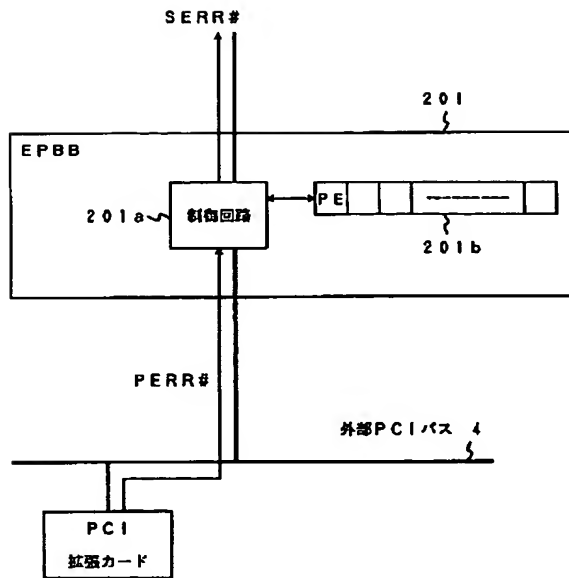
【图 1】



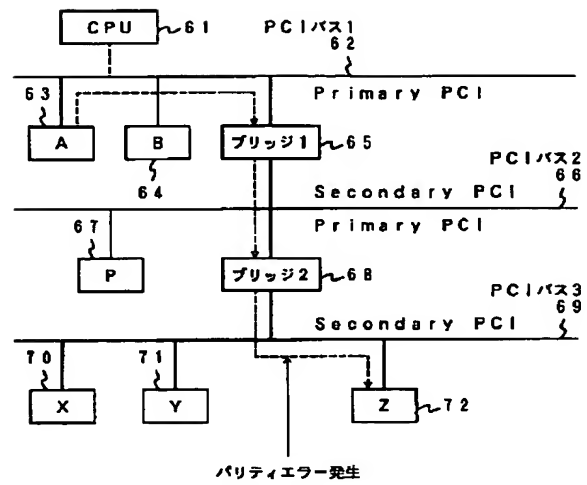
【図5】



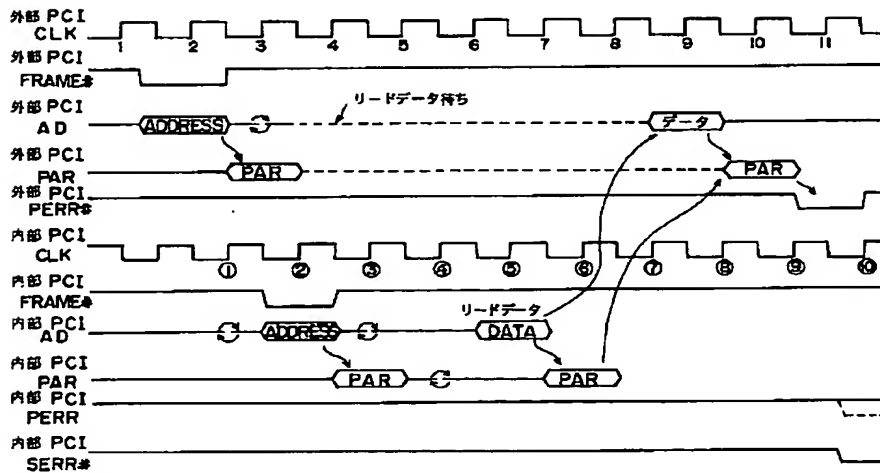
【図 2】



【図 4】



【図 3】



【図 6】

